

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-23359

(43)公開日 平成8年(1996)1月23日

(51)Int.Cl.⁶

H 0 4 L 27/20
H 0 3 K 3/00

識別記号 庁内整理番号

A 9297-5K
A

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21)出願番号 特願平6-157444

(22)出願日 平成6年(1994)7月8日

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 須藤 浩章

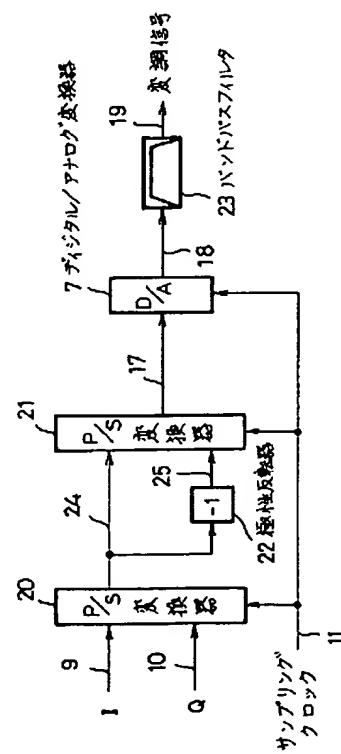
神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

(54)【発明の名称】 ディジタル直交変調器

(57)【要約】

【目的】 基本波の周波数をD/A変換器の処理速度より低い周波数とし、高次高調波成分を変調信号として用いることにより、さらに高速化を図る。

【構成】 ベースバンドI, Q信号を第1のParallel-Serial変換器20によって時間順に合成し1つの系統の信号を得る。前記第1のParallel-Serial変換器20によって作られた信号を2つの系統の信号に分け、そのうちの1つの系統の信号に対して、極性反転器22によって極性を反転する。前記第1のParallel-Serial変換器20によって作られた信号と前記極性反転器22によって作られた信号とを、第2のParallel-Serial変換器21によって時間順に合成しディジタル変調信号を得る。このディジタル変調信号をD/A変換器7によってアナログ変調信号に変換することによって、アナログ変調信号を得る。このアナログ変調信号に対し、バンドパスフィルタ23によって高次高調波成分を変調信号として取り出し、不要周波数成分を除去することで、バンドパスフィルタ23の出力からアナログ変調信号を得る。



【特許請求の範囲】

【請求項1】 ベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、この第1のパラレルシリアル変換器によって作られた信号の極性を反転する極性反転器と、前記第1のパラレルシリアル変換器によって作られた信号と前記極性反転器によって作られた信号を時間順に合成しデジタル変調信号を得る第2のパラレルシリアル変換器と、デジタル変調信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の高次高調波成分を変調信号として取り出し、不要周波数成分を除去して出力するバンドパスフィルタとからなることを特徴とするデジタル直交変調器。

【請求項2】 ベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、この第1のパラレルシリアル変換器によって作られた信号の極性を反転する第1の極性反転器と、前記第1のパラレルシリアル変換器によって作られた信号と前記第1の極性反転器によって作られた信号を時間順に合成しデジタル変調信号を得る第2のパラレルシリアル変換器と、前記ディジタル変調信号の極性を反転する第2の極性反転器と、前記ディジタル変調信号を極性反転した信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の折り返し雑音成分を変調信号として取り出し、不要周波数成分を除去して出力するバンドパスフィルタとからなることを特徴とするデジタル直交変調器。

【請求項3】 ベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、ベースバンドI, Q信号を加算する加算器と、ベースバンドI, Q信号を減算する減算器と、前記加算器と減算器からの信号に対しそれぞれ $1/\sqrt{2}$ の乗算を行う一対の乗算器と、各乗算器からの系統の信号を時間順に合成し1つの系統の信号を得る第2のパラレルシリアル変換器と、前記第1のパラレルシリアル変換器によって作られた信号と前記第2のパラレルシリアル変換器によって作られた信号を時間順に合成し1つの系統の信号を得る第3のパラレルシリアル変換器と、この第3のパラレルシリアル変換器によって作られた信号の極性を反転する極性反転器と、前記第3のパラレルシリアル変換器によって作られた信号と前記極性反転器によって作られた信号を時間順に合成しデジタル変調波を得る第4のパラレルシリアル変換器と、デジタル変調信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の高次高調波成分を変調信号として取り出し、不要周波数成分を除去して出力するバンドパスフィルタとからなることを特徴とするデジタル直交変調器。

【請求項4】 ベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変

換器と、ベースバンドI, Q信号を加算する加算器と、ベースバンドI, Q信号を減算する減算器と、前記加算器と減算器からの信号に対しそれぞれ $1/\sqrt{2}$ の乗算を行う一対の乗算器と、各乗算器からの系統の信号を時間順に合成し1つの系統の信号を得る第2のパラレルシリアル変換器と、前記第1のパラレルシリアル変換器によって作られた信号と前記第2のパラレルシリアル変換器によって作られた信号を時間順に合成し1つの系統の信号を得る第3のパラレルシリアル変換器と、この第3のパラレルシリアル変換器によって作られた信号の極性を反転する第1の極性反転器と、前記第3のパラレルシリアル変換器によって作られた信号と前記第1の極性反転器によって作られた信号を時間順に合成しデジタル変調信号を得る第4のパラレルシリアル変換器と、前記ディジタル変調信号の極性を反転する第2の極性反転器と、前記ディジタル変調信号を極性反転した信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の折り返し雑音成分を変調信号として取り出し、不要周波数成分を除去して出力するバンドパスフィルタとからなることを特徴とするデジタル直交変調器。

【請求項5】 ベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、ベースバンドI, Q信号を加算する加算器と、ベースバンドI, Q信号を減算する減算器と、前記加算器と減算器からの信号に対しそれぞれ $1/\sqrt{2}$ の乗算を行う一対の乗算器と、各乗算器からの系統の信号を時間順に合成し1つの系統の信号を得る第2のパラレルシリアル変換器と、前記第1のパラレルシリアル変換器によって作られた信号と前記第2のパラレルシリアル変換器によって作られた信号を時間順に合成し1つの系統の信号を得る第3のパラレルシリアル変換器と、この第3のパラレルシリアル変換器によって作られた信号の極性を反転する極性反転器と、前記第3のパラレルシリアル変換器によって作られた信号と前記極性反転器によって作られた信号を時間順に合成しデジタル変調波を得る第4のパラレルシリアル変換器と、デジタル変調信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の不要周波数成分を除去するローパスフィルタと、このローパスフィルタによって出力されたアナログ信号を局部発信信号と混合しアップコンバートするアナログミキサーと、このアナログミキサーによって出力されたアナログ信号を帯域制限して出力するバンドパスフィルタとからなることを特徴とするデジタル直交変調器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル移動体通信等に使用する無線機に使用する直交変調器に関する。

【0002】

【従来の技術】図9は従来のデジタル直交変調器の構成図であり、1と2はベースバンドI, Q信号とキャリア信号とを乗算する乗算器、3はキャリア信号であるSIN波形信号およびCOS波形信号を呼び出すカウンタ、4は前記COS波形信号(図10(a), 図10(b)参照)を出力するROM、5は前記SIN波形信号(図11(a), 図11(b)参照)を出力するROM、6は前記両乗算器1, 2からの出力信号を加算する加算器、7はデジタル変調信号をアナログ変調信号に変換するデジタル/アナログ(D/A)変換器、8はアナログ変調信号の不要周波数成分を除去するローパスフィルタである。

【0003】図9に示したデジタル直交変調器では、まずベースバンドI信号9とベースバンドQ信号10がそれぞれ乗算器1, 2に入力される。また、サンプリング周波数クロック11がカウンタ3に入力され、制御信号12が出力される。この制御信号12は、COS波形発生用のROM4とSIN波形発生用のROM5に入力され、各ROM4, 5からはそれぞれCOS波形信号13, SIN波形信号14が出力され、それぞれ乗算器1, 2に入力される。ベースバンドI信号9とCOS波形信号13は一方の乗算器1によって乗算され、I信号15が出力される。また、ベースバンドQ信号10とSIN波形信号14は他方の乗算器2によって乗算され、Q信号16が出力される。次にI信号15とQ信号16は加算器6によって加算され、デジタル変調信号17が出力される。次に、デジタル変調信号17はD/A変換器7に入力され、アナログ変調信号18が得られる。最後にアナログ変調信号18はローパスフィルタ8によって不要周波数成分を除去されることによって、変調信号19が得られる。

【0004】図12は従来のデジタル直交変調器の他例の構成図であり、101と102はベースバンドI, Q信号をそれぞれ帯域制限するデジタルフィルタ、103と104はベースバンドI, Q信号とキャリア信号を乗算する乗算器、105はSIN波形信号およびCOS波形信号を呼び出すカウンタ、106はCOS波形信号を出力するROM、107はSIN波形信号を出力するROM、108はベースバンドI, Q信号を加算する加算器、109はデジタル変調信号をアナログ変調信号に変換するD/A変換器、110はアナログ変調信号の不要周波数成分を除去するローパスフィルタ、111はローパスフィルタ110によって出力されたアナログ信号を局部発信信号と混合しアップコンバートするアナログミキサー、112はアナログミキサー111によって出力されたアナログ信号の不要周波数成分を除去するバンドパスフィルタである。

【0005】図12に示したデジタル直交変調器では、まずベースバンドI信号113とベースバンドQ信号114が、それぞれデジタルフィルタ101, 102に入力され、帯域制限される。次に、帯域制限されたベースバンドI信号115と帯域制限されたベースバンドQ信号116が、それぞれ乗算器103, 104に入力される。また、サンプリ

グ周波数クロック117がカウンタ105に入力され、制御信号118が出力される。この制御信号118はCOS波形発生用のROM106とSIN波形発生用のROM107に入力され、各ROM106, 107からはそれぞれCOS波形信号119, SIN波形信号120が出力され、それぞれ乗算器103, 104に入力される。前記ベースバンドI信号115とCOS波形信号119は一方の乗算器103によって乗算され、I信号121が出力される。また、前記ベースバンドQ信号116とSIN波形信号120は他方の乗算器104によって乗算され、Q信号122が出力される。次にI信号121とQ信号122は加算器108によって加算され、デジタル変調信号123が出力される。次に、デジタル変調信号123はD/A変換器109に入力され、アナログ変調信号124が得られる。アナログ変調信号124はローパスフィルタ110によって不要周波数成分を除去され、アナログ信号125が得られる。アナログ信号125はアナログミキサー111に入力され、局部発信信号126と混合されてアップコンバートされ、アナログ信号127が得られる。最後に、アナログ信号127はバンドパスフィルタ112に入力され、不要周波数成分を除去されることによって、変調信号128が得られる。

【0006】

【発明が解決しようとする課題】上述したように従来の技術では、変調器から出力される変調信号は、一般的に後段部で局部発信信号と混合されてアップコンバートされ、必要な信号成分以外はフィルタで除去される。しかし、変調信号の周波数が低くなるにつれて狭帯域なフィルタが要求され、前記フィルタ動作の実現が困難になるため、変調器から出力される変調信号の高周波化を図る必要がある。

【0007】しかし、変調器によって出力される変調波の周波数は乗算器の演算速度で決まるため、前記構成の従来のデジタル直交変調器では、変調波の周波数は乗算器の最高演算速度の1/4が限界である。演算ビット数を8ビットとした場合、現状の8ビットの乗算器の最高演算速度は40MHz程度が限界であるため、変調信号の周波数は10MHz程度が限界である。

【0008】また演算ビット数を削減するにつれて処理速度を上げることができるが、特性劣化が大きくなる。一般に変調器の特性は隣接チャネル漏洩電力と変調精度によって評価されるが、図12に示した構成では、ベースバンド部においてデジタルフィルタを用いて帯域制限を行った場合、所要演算ビット数の決定においては隣接チャネル漏洩電力が支配的となり、充分な特性を得るために所要演算ビット数は12ビット程度必要となる。現状の12ビット乗算器の処理速度は15MHz程度が限界であるため、変調信号の周波数は2MHz程度が限界である。

【0009】本発明のデジタル直交変調器は、このような従来の問題を解消するもので、基本波の周波数をD/A変換器の処理速度より低い周波数とし、しかも前記

変調信号の高次高調波成分を変調信号として出力することにより、さらに高速化を図ることを目的とする。

【0010】またD/A変換器の最高処理速度より低い周波数の変調信号を得、しかも前記変調信号の折り返し雑音成分を変調信号として出力することにより、さらに高い周波数の変調信号を得ることを目的とする。

【0011】また基本波の周波数を乗算器の処理速度と同じ周波数とすることができる、しかも変調信号の高次高調波成分を変調信号として出力することにより、さらに高速化を図ることを目的とする。

【0012】また乗算器の最高処理速度と同じ周波数の変調信号を得、しかも前記変調信号の折り返し雑音成分を変調信号として出力することにより、さらに数倍の周波数の変調信号を得ることを目的とする。

【0013】また乗算器の最高処理速度と同じ周波数の変調信号を出力でき、さらに演算ビット数を削減することによって、さらに高速化を図ることを目的とする。

【0014】

【課題を解決するための手段】前記目的を達成するため、本発明のデジタル直交変調器は、ベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、この第1のパラレルシリアル変換器によって作られた信号の極性を反転する極性反転器と、前記第1のパラレルシリアル変換器によって作られた信号と前記極性反転器によって作られた信号を時間順に合成しデジタル変調信号を得る第2のパラレルシリアル変換器と、デジタル変調信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の高次高調波成分を変調信号として取り出し、不要周波数成分を除去して出力するバンドパスフィルタとからなることを特徴とする。

【0015】またベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、この第1のパラレルシリアル変換器によって作られた信号の極性を反転する第1の極性反転器と、前記第1のパラレルシリアル変換器によって作られた信号と前記第1の極性反転器によって作られた信号を時間順に合成しデジタル変調信号を得る第2のパラレルシリアル変換器と、前記ディジタル変調信号の極性を反転する第2の極性反転器と、前記ディジタル変調信号を極性反転した信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の折り返し雑音成分を変調信号として取り出し、不要周波数成分を除去して出力するバンドパスフィルタとからなることを特徴とする。

【0016】またベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、ベースバンドI, Q信号を加算する加算器と、ベースバンドI, Q信号を減算する減算器と、前記加算器と減算器からの信号に対しそれぞれ $1/\sqrt{2}$ の乘

算を行う一対の乗算器と、各乗算器からの系統の信号を時間順に合成し1つの系統の信号を得る第2のパラレルシリアル変換器と、前記第1のパラレルシリアル変換器によって作られた信号と前記第2のパラレルシリアル変換器によって作られた信号を時間順に合成し1つの系統の信号を得る第3のパラレルシリアル変換器と、この第3のパラレルシリアル変換器によって作られた信号の極性を反転する極性反転器と、前記第3のパラレルシリアル変換器によって作られた信号と前記極性反転器によって作られた信号を時間順に合成しデジタル変調波を得る第4のパラレルシリアル変換器と、デジタル変調信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の高次高調波成分を変調信号として取り出し、不要周波数成分を除去して出力するバンドパスフィルタとからなることを特徴とする。

【0017】またベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、ベースバンドI, Q信号を加算する加算器と、ベースバンドI, Q信号を減算する減算器と、前記加算器と減算器からの信号に対しそれぞれ $1/\sqrt{2}$ の乗算を行う一対の乗算器と、各乗算器からの系統の信号を時間順に合成し1つの系統の信号を得る第2のパラレルシリアル変換器と、前記第1のパラレルシリアル変換器によって作られた信号と前記第2のパラレルシリアル変換器によって作られた信号を時間順に合成し1つの系統の信号を得る第3のパラレルシリアル変換器と、この第3のパラレルシリアル変換器によって作られた信号の極性を反転する第1の極性反転器と、前記第3のパラレルシリアル変換器によって作られた信号と前記第1の極性反転器によって作られた信号を時間順に合成しデジタル変調信号を得る第4のパラレルシリアル変換器と、前記ディジタル変調信号の極性を反転する第2の極性反転器と、前記ディジタル変調信号を極性反転した信号をアナログ変調信号に変換するデジタル/アナログ変換器と、前記アナログ変調信号の折り返し雑音成分を変調信号として取り出し、不要周波数成分を除去して出力するバンドパスフィルタとからなることを特徴とする。

【0018】またベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のパラレルシリアル変換器と、ベースバンドI, Q信号を加算する加算器と、ベースバンドI, Q信号を減算する減算器と、前記加算器と減算器からの信号に対しそれぞれ $1/\sqrt{2}$ の乗算を行う一対の乗算器と、各乗算器からの系統の信号を時間順に合成し1つの系統の信号を得る第2のパラレルシリアル変換器と、前記第1のパラレルシリアル変換器によって作られた信号と前記第2のパラレルシリアル変換器によって作られた信号を時間順に合成し1つの系統の信号を得る第3のパラレルシリアル変換器

と、この第3のパラレルシリアル変換器によって作られた信号の極性を反転する極性反転器と、前記第3のパラレルシリアル変換器によって作られた信号と前記極性反転器によって作られた信号を時間順に合成しデジタル変調波を得る第4のパラレルシリアル変換器と、デジタル変調信号をアナログ変調信号に変換するデジタル／アナログ変換器と、前記アナログ変調信号の不要周波数成分を除去するローパスフィルタと、このローパスフィルタによって出力されたアナログ信号を局部発信信号と混合しアップコンバートするアナログミキサーと、このアナログミキサーによって出力されたアナログ信号を帯域制限して出力するバンドパスフィルタとからなることを特徴とする。

【0019】

【作用】前記構成の本発明に係るデジタル直交変調器では、パラレルシリアル(Parallel-Serial)変換器と、極性反転器と、D/A変換器と、アナログ変調信号の高次高調波成分を変調信号として取り出すバンドパスフィルタとによってデジタル直交変調器を構成し、乗算器を用いずにデジタル直交変調器を実現することによって、D/A変換器の処理速度より低い周波数の変調信号を出力することを図り、さらに高次高調波成分を変調信号として出力することにより、さらに高速化を図る。

【0020】またParallel-Serial変換器と、極性反転器と、D/A変換器と、アナログ変調信号の折り返し雑音成分を変調信号として取り出すバンドパスフィルタとによってデジタル直交変調器を構成し、乗算器を用いずにデジタル直交変調器を実現することによって、D/A変換器の最高処理速度のより低い周波数の変調信号を出力する。

【0021】またParallel-Serial変換器と、加算器と、減算器と、乗算器と、極性反転器と、D/A変換器と、アナログ変調信号の高次高調波成分を変調信号として取り出すバンドパスフィルタとによってデジタル直交変調器を構成し、Parallel-Serial変換器の前段に乗算器を挿入することによって、乗算器の処理速度と同じ周波数の変調信号を出力することを図り、さらに高次高調波成分を変調信号として出力することにより、さらに高速化を図る。

【0022】またParallel-Serial変換器と、加算器と、減算器と、乗算器と、極性反転器と、D/A変換器と、アナログ変調信号の折り返し雑音成分を変調信号として取り出すバンドパスフィルタとによってデジタル直交変調器を構成し、Parallel-Serial変換器の前段に乗算器を挿入することによって、乗算器の最高処理速度の数倍の周波数の変調信号を出力することを図る。

【0023】またParallel-Serial変換器と、加算器と、減算器と、乗算器と、極性反転器と、D/A変換器と、ローパスフィルタと、アナログミキサーと、バンド

バスフィルタとによってデジタル直交変調器を構成し、Parallel-Serial変換器の前段に乗算器を挿入することによって、乗算器の最高処理速度と同じ周波数の変調信号を出力することを図り、さらに帯域制限を後段部においてバンドパスフィルタを用いて行うことにより演算ビット数を削減することによって、さらに高速化を図る。

【0024】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0025】図1は本発明のデジタル直交変調器の第1の実施例の構成図であり、20と21は、2つの系統で入力される信号を時間順に合成して1つの系統の信号に変換する第1と第2のParallel-Serial変換器、22は入力信号の極性を反転する極性反転器、7は第2のParallel-Serial変換器21から出力されたデジタル変調信号をアナログ変調信号に変換するD/A変換器、23は、前記デジタル変調信号の2倍高周波成分を変調信号として取り出し、不要周波数成分を除去するバンドパスフィルタである。

【0026】図2は前記第1実施例のタイミングチャートであり、Aはサンプリングクロックで図1の11に対応する。BはサンプリングクロックAを2分周したクロック、CはサンプリングクロックAを4分周したクロック、DはベースバンドI、Q信号を作り出すシンボルクロック、EはベースバンドI信号で、図1の9に対応する。FはベースバンドQ信号で、図1の10に対応する。GはベースバンドI信号EとクロックBの論理積によって得られた信号、HはベースバンドQ信号FとクロックBを極性反転した信号の論理積によって得られた信号、Iは、ベースバンドI、Q信号を時間順に合成して1つの系統にした信号で、図1の24に対応する。Jは信号Iを極性反転した信号で、図1の25に対応する。Kは信号IとクロックCの論理積によって得られた信号、Lは信号JとクロックCを極性反転した信号の論理積によって得られた信号、Mはデジタル変調信号で、図1の17に対応する。

【0027】次に前記第1実施例の動作を、図1および図2を用いて説明する。ただし、本実施例においては、2倍高調波成分を変調信号として用いる。

【0028】90度の位相差をもつベースバンドI信号EおよびベースバンドQ信号Fは、第1のParallel-Serial変換器20によってサンプリングクロックAの周期のタイミングで時間順に合成される。すなわち、ベースバンドI信号EとサンプリングクロックAを2分周したクロックBの論理積によってGの信号I($nT/2$)が得られ、またベースバンドQ信号FとサンプリングクロックAを2分周したクロックBの反転の論理積によってHの信号Q($(n+1/2)T/2$)が得られ、前記信号Gと信号Hの論理和によってIの信号S($nT/4$)が得られる。信号I

は(数1)に示すようになる。

【0029】

$$【数1】 S(nT/4) = I(nT/4); n=2k$$

$$S(nT/4) = Q(nT/4); n=2k+1$$

ただし、n ; 0, 1, 2,

k ; 0, 1, 2,

T ; 1/変調周波数

次に信号Iは、2つの系統の信号に分けられ、そのうちの1つの系統の信号が極性反転器22によって極性反転され、Jの信号-S(nT/4)が得られる。信号Jは(数2)に示すようになる。

【0030】

$$【数2】 -S(nT/4) = -I(nT/4); n=2k$$

$$-S(nT/4) = -Q(nT/4); n=2k+1$$

ただし、n ; 0, 1, 2,

k ; 0, 1, 2,

T ; 1/変調周波数

前記信号Iと信号Jは、第2のParallel-Serial変換器21に入力される。第2のParallel-Serial変換器21によって、信号Iと信号JがサンプリングブロックAを2分周したクロックBの周期のタイミングで時間順に合成される。すなわち、信号IとサンプリングブロックAを4分周したクロックCの論理積によってKの信号S(nT)が得られ、また信号JとクロックCを極性反転した信号の論理積によってLの信号-S([(n+1)/2]T)が得られ、前記信号Kと信号Lの論理和によって、Mのデジタル変調信号DATA(nT)が得られる。デジタル変調信号Mは(数3)に示すようになる。

【0031】

$$【数3】 DATA(nT/4) = I(nT/4); n=4k$$

$$DATA(nT/4) = Q(nT/4); n=4k+1$$

$$DATA(nT/4) = -I(nT/4); n=4k+2$$

$$DATA(nT/4) = -Q(nT/4); n=4k+3$$

ただし、n ; 0, 1, 2,

k ; 0, 1, 2,

T ; 1/変調周波数

デジタル変調信号Mは、D/A変換器7に入力され、サンプリングクロックAのタイミングでアナログ信号に変換され、アナログ変調信号18が得られる。

【0032】 アナログ変調信号18はバンドパスフィルタ23に入力され、2倍高調波成分を変調信号として取り出し、不要周波数成分を除去して、変調信号19が得られる。

【0033】 以上のように第1実施例では、ベースバンドI, Q信号を時間順に合成して1つの系統の信号を得る第1のParallel-Serial変換器20と、この第1のParallel-Serial変換器20によって作られた信号の極性を反転する極性反転器22と、第1のParallel-Serial変換器20によって作られた信号と前記極性反転器22によって作られた信号を時間順に合成し、デジタル変調波を得る

第2のParallel-Serial変換器21と、デジタル変調波をアナログ変調波に変換するD/A変換器7と、前記アナログ変調信号の2倍高調波成分を取り出し、不要周波数成分を除去するバンドパスフィルタ23からデジタル直交変調器を構成し、乗算器を用いずにデジタル直交変調器を構成するため、基本波成分の周波数はD/A変換器7の最高処理速度の1/4の周波数とすることができる。また、2倍高周波成分の周波数はサンプリングの定理により、基本波成分の5倍となる。したがって、第1実施例ではD/A変換器7の最高処理(動作)速度の5/4の周波数の変調信号を出力することができるデジタル直交変調器を実現できる。

【0034】 演算ビット数を8ビットとした場合、現状の乗算器の最高処理速度は40MHz程度であり、D/A変換器7の最高処理速度は400MHzであるため、従来構成では変調周波数は10MHz程度が限界であるが、第1実施例では変調周波数を500MHz程度とすることができる、従来構成の約50倍の周波数の変調信号を得ることができる。

【0035】 図3は本発明の第2実施例の構成図であり、この第2実施例が第1実施例と異なるところは、入力信号の極性を反転する第1の極性反転器22と、デジタル変調信号の極性を反転する第2の極性反転器30と、第2のParallel-Serial変換器21から第2の極性反転器30を介して出力されたデジタル変調信号をアナログ変調信号に変換するD/A変換器31と、前記アナログ変調信号の折り返し雑音成分を変調信号として取り出し、不要周波数成分を除去するバンドパスフィルタ32とを備えた構成にある。

【0036】 なお、図1、図2にて説明した部材、信号等に対応する第2実施例の部材、信号については同一符号を付して、詳しい説明は省略する。

【0037】 第2実施例の動作を図2および図3を用いて説明する。図2の符号M、図3の符号17に示されるデジタル変調信号の生成までは前記第1実施例と同じであるが、デジタル変調信号Mは、第2の極性反転器30によって極性反転され、信号33が得られる。

【0038】 信号33はD/A変換器31に入力され、サンプリングクロックAのタイミングでアナログ信号に変換され、アナログ変調信号34が得られる。

【0039】 アナログ変調信号34はバンドパスフィルタ32に入力され、折り返し雑音成分を変調信号として取り出し、不要周波数成分を除去して、変調信号35が得られる。折り返し雑音は基本波を極性反転した信号であるため、希望変調信号を得ることができる。

【0040】 以上のように、第2実施例では、ベースバンドI, Q信号を時間順に合成して1つの系統の信号を得る第1のParallel-Serial変換器20と、この第1のParallel-Serial変換器20によって作られた信号の極性を反転する第1の極性反転器22と、前記第1のParallel-Serial変換器20によって作られた信号と前記第1の極性

11

反転器22によって作られた信号を時間順に合成しデジタル変調波を得る第2のParallel-Serial変換器21と、前記デジタル変調信号の極性を反転する第2の極性反転器30と、前記デジタル変調信号を極性反転した信号をアナログ変調信号に変換するD/A変換器31と、前記アナログ変調信号の折り返し雑音成分を変調信号として取り出し、不要周波数成分を除去するバンドパスフィルタ32からデジタル直交変調器を構成し、乗算器を用いてデジタル直交変調器を構成するため、変調信号の基本波成分の周波数はD/A変換器31の最高処理速度の1/4の周波数とができる。また、折り返し雑音成分の周波数は、サンプリングの定理により基本波成分の3倍となる。したがって、第2実施例ではD/A変換器の最高処理速度の3/4の周波数の変調信号を出力することができるデジタル直交変調器を実現できる。

【0041】演算ビット数を8ビットとした場合、現状の乗算器の最高処理速度は40MHz程度であり、D/A変換器7の最高処理速度は400MHzであるため、従来構成では変調周波数は10MHz程度が限界であるが、第2実施例では変調周波数を300MHz程度とができる、従来構成の約30倍の周波数の変調波を得ることができる。

【0042】図4は本発明の第3実施例の構成図であり、40と45と46と48は、2つの系統で入力される信号を時間順に合成して1つの系統の信号に変換する第1ないし第4のParallel-Serial変換器、41は2つの入力信号の加算を行う加算器、42は2つの入力信号の減算を行う減算器、43と44は入力信号に対して1/√2倍の乗算を行う乗算器、47は入力信号の極性を反転する極性反転器、49はParallel-Serial変換器48から出力されたデジタル変調信号をアナログ変調波信号に変換するD/A変換器、50は前記デジタル変調信号の高次高調波成分を変調信号として取り出し、不要成分を除去するバンドパスフィルタである。

【0043】図5および図6は第3実施例のタイミングチャートであり、Aはサンプリングクロック、BはサンプリングクロックAを2分周したクロック、CはサンプリングクロックAを4分周したクロック、DはベースバンドI、Q信号を作り出すシンボルクロック、EはベースバンドI信号で図4の9に対応する。FはベースバンドQ信号で図4の10に対応する。GはベースバンドI信号EとクロックBの論理積によって得られた信号、HはベースバンドQ信号FとクロックBを極性反転した信号の論理積によって得られた信号、Iは、ベースバンドI、Q信号を時間順に合成して1つの系統にした信号で、図4の51に対応する。JはベースバンドI、Q信号を加算(I+Q)し、1/√2倍した信号で、図4の54に対応する。KはベースバンドI、Q信号を減算(-I+Q)し、1/√2倍した信号で、図4の55に対応する。L

$$U(nT/4) = \{ I(nT/4) + Q(nT/4) \} / \sqrt{2} ; n=2k$$

$$U(nT/4) = \{ -I(nT/4) + Q(nT/4) \} / \sqrt{2} ; n=2k+1$$

12

は信号JとクロックCの論理積によって得られた信号、Mは信号KとクロックCを極性反転した信号の論理積によって得られた信号、Nは信号Jと信号Kを時間順に合成して1つの系統にした信号で、図4の56に対応する。Oは信号IとクロックBの論理積によって得られた信号、Pは信号NとクロックBを極性反転した信号の論理積によって得られた信号、Qは信号Iと信号Nを時間順に合成して1つの系統にした信号で、図4の57に対応する。Rは信号Qを極性反転した信号で、図4の58に対応する。Sは信号QとクロックCの論理積によって得られた信号、Tは信号RとクロックCを極性反転した信号の論理積によって得られた信号、Uはデジタル変調信号で図4の59に対応する。

【0044】次に、前記第3実施例の動作を、図4～図6を用いて説明する。ただし、本実施例においては、2倍高調波成分を変調信号として用いる。

【0045】90度の位相差をもつベースバンドI信号EおよびベースバンドQ信号Fは、第1のParallel-Serial変換器40に入力され、第1のParallel-Serial変換器40によってサンプリングクロックAを2分周したクロックBの周期のタイミングで時間順に合成される。すなわち、ベースバンドI信号EとサンプリングクロックAを4分周したクロックCの論理積によってGの信号I(nT/2)が得られ、またベースバンドQ信号FとサンプリングクロックAを4分周したクロックCを極性反転した信号の論理積によってHの信号Q[(n+1/2)T/2]が得られ、前記信号Gと信号Hの論理和によってIの信号S(nT/4)が得られる。信号Iは前記(数1)の式と同じ関係になる。

【0046】またベースバンドI信号EおよびベースバンドQ信号Fは、加算器41および減算器42に入力され、それぞれ加算(I+Q)および減算(-I+Q)が行われる。次に、これらの信号は乗算器43、44に入力され、それぞれ1/√2倍され、第2のParallel-Serial変換器45によって、サンプリングクロックAを2分周したクロックBの周期のタイミングで時間順に合成される。すなわち、信号JとサンプリングクロックAを4分周したクロックCの論理積によってLの信号[I(nT/2)+Q(nT/2)]/√2が得られ、信号KとサンプリングクロックAを4分周したクロックCを極性反転した信号の論理積によってMの信号[-I((n+1/2)T/2)+Q((n+1/2)T/2)]/√2が得られ、信号Lと信号Mの論理和によってNの信号U(nT)が得られ、信号Lと信号Mの論理和によってNの信号U(nT)が得られる。信号Nは(数4)に示すようになる。

【0047】

【数4】

13

ただし、n ; 0, 1, 2,

k ; 0, 1, 2,

T ; 1/変調周波数

次に信号Iと信号Nは、第3のParallel-Serial変換器46に入力される。これらの信号は、第3のParallel-Serial変換器46によって、サンプリングクロックAの周期のタイミングで時間順に合成される。すなわち、信号IとサンプリングクロックAを2分周したクロックの論理*

$$\begin{aligned} V(nT/8) &= I(nT/8) & ; n = 4k \\ V(nT/8) &= \{ I(nT/8) + Q(nT/8) \} / \sqrt{2} & ; n = 4k+1 \\ V(nT/8) &= Q(nT/8) & ; n = 4k+2 \\ V(nT/8) &= \{ -I(nT/8) + Q(nT/8) \} / \sqrt{2} & ; n = 4k+3 \end{aligned}$$

ただし、n ; 0, 1, 2,

k ; 0, 1, 2,

T ; 1/変調周波数

次に信号Qは2つの系統の信号に分けられ、そのうちの

1つの系統の信号は極性反転器47によって極性反転さ※

$$\begin{aligned} -V(nT/8) &= -I(nT/8) & ; n = 4k \\ -V(nT/8) &= \{ -I(nT/8) - Q(nT/8) \} / \sqrt{2} & ; n = 4k+1 \\ -V(nT/8) &= -Q(nT/8) & ; n = 4k+2 \\ -V(nT/8) &= \{ I(nT/8) - Q(nT/8) \} / \sqrt{2} & ; n = 4k+3 \end{aligned}$$

ただし、n ; 0, 1, 2,

k ; 0, 1, 2,

T ; 1/変調周波数

前記信号Qと信号Rは、第4のParallel-Serial変換器48に入力され、第4のParallel-Serial変換器48によって、信号Qと信号RがサンプリングクロックAを4分周したクロックCの周期のタイミングで時間順に合成される。すなわち、信号Qと変調周波数クロックであるクロック★

$$\begin{aligned} DATA(nT/8) &= I(nT/8) & ; 8k \\ DATA(nT/8) &= \{ I(nT/8) + Q(nT/8) \} / \sqrt{2} & ; 8k+1 \\ DATA(nT/8) &= Q(nT/8) & ; 8k+2 \\ DATA(nT/8) &= \{ -I(nT/8) + Q(nT/8) \} / \sqrt{2} & ; 8k+3 \\ DATA(nT/8) &= -I(nT/8) & ; 8k+4 \\ DATA(nT/8) &= \{ -I(nT/8) - Q(nT/8) \} / \sqrt{2} & ; 8k+5 \\ DATA(nT/8) &= -Q(nT/8) & ; 8k+6 \\ DATA(nT/8) &= \{ I(nT/8) - Q(nT/8) \} / \sqrt{2} & ; 8k+7 \end{aligned}$$

ただし、n ; 0, 1, 2,

k ; 0, 1, 2,

T ; 1/変調周波数

デジタル変調信号Uは、D/A変換器49に入力され、サンプリングクロックAのタイミングでアナログ信号に変換され、アナログ変調信号60が得られる。

【0051】アナログ変調信号60はバンドパスフィルタ50に入力され、2倍高調波成分を変調信号として取り出され、不要周波数成分を除去され、変調信号61が得られる。

【0052】以上のように第3実施例では、ベースバンドI, Q信号を時間順に合成して1つの系統の信号を得る第1のParallel-Serial変換器40と、ベースバンド

14

*積によって信号Oが得られ、信号NとサンプリングクロックAを2分周したクロックBを極性反転した信号の論理積によって信号Pが得られ、信号Oと信号Pの論理和によってQの信号V(nT/8)が得られる。信号Qは(数5)に示すようになる。

【0048】

【数5】

※れ、Rの信号-V(nT/8)が得られる。信号Rは(数6)に示すようになる。

【0049】

【数6】

★クロックDの論理積によってSの信号V(nT)が得られ、信号Rと変調周波数クロックであるクロックCを極性反転した信号の論理積によってTの信号-V((n+1/2)T)が得られ、信号Sと信号Tの論理和によって、Uのデジタル変調信号DATA(nT/8)が得られる。デジタル変調信号Uは(数7)に示すようになる。

【0050】

【数7】

I, Q信号を加算する加算器41および減算する減算器42と、これらの信号に対し $1/\sqrt{2}$ の乗算を行う乗算器43, 44と、さらにこれら2つの系統の信号を時間順に合成し1つの系統の信号を得る第2のParallel-Serial変換器45と、前記第1のParallel-Serial変換器40によって作られた信号と前記加算器41と減算器42と乗算器43, 44と第2のParallel-Serial変換器45によって作られた信号を時間順に合成し1つの系統の信号を得る第3のParallel-Serial変換器46と、この第3のParallel-Serial変換器46によって作られた信号の極性を反転する極性反転器47と、第3のParallel-Serial変換器46によって作られた信号と前記極性反転器47によって作られた信号を時間順に合成しデジタル変調波を得る第4のParallel

11-Serial変換器48と、ディジタル変調信号をアナログ変調信号に変換するD/A変換器49と、前記アナログ変調信号の2倍高調波成分を取り出し、不要周波数成分を除去するバンドパスフィルタ50とからディジタル直交変調器を構成し、第2のParallel-Serial変換器45の前段に乗算器43, 44を挿入することによって、基本波成分の周波数は乗算器43, 44の最高処理速度と同じ周波数とすることができる。また、第2高調波成分の周波数はサンプリングの定理により基本波成分の9倍となる。したがって、第3実施例では乗算器43, 44の最高処理速度の9倍の周波数の変調信号を得ることができるディジタル直交変調器を実現できる。

【0053】従来の構成で得ることができる変調波の周波数は乗算器43, 44の最高処理速度の1/8の周波数が限界であったため、第3実施例では従来構成の72倍の周波数の変調信号を得ることができる。

【0054】図7は本発明の第4実施例の構成図であり、この第4実施例が第3実施例と異なるところは、入力信号の極性を判定する第1の極性反転器47と、ディジタル変調信号の極性を反転する第2の極性反転器70と、ディジタル変調信号を極性反転した信号をアナログ変調信号に変換するD/A変換器71と、前記ディジタル変調信号の2倍高調波成分を変調信号として取り出し、不要成分を除去するバンドパスフィルタ72とを備えた構成にある。

【0055】なお、図4～図6にて説明した部材、信号等に対応する第4実施例の部材、信号については同一符号を付して、詳しい説明は省略する。

【0056】第4実施例の動作を図5～図7を用いて説明する。図6の符号U、図7の符号59に示されるディジタル変調信号の生成までは第3実施例と同じであるが、ディジタル変調信号Uは第2の極性反転器70によって極性反転され、信号73が得られる。信号73はD/A変換器71に入力され、サンプリングクロックAのタイミングでアナログ信号に変換され、アナログ変調信号74が得られる。

【0057】アナログ変調信号74はバンドパスフィルタ72に入力され、折り返し雑音分を変調信号として取り出し、不要周波数成分を除去して、変調信号75が得られる。折り返し雑音分は基本波を極性反転した信号であるため、希望変調信号を得ることができる。

【0058】以上のように第4実施例では、ベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のParallel-Serial変換器40と、ベースバンドI, Q信号を加算する加算器41および減算する減算器42と、これらの信号に対し $1/\sqrt{2}$ の乗算を行う乗算器43, 44と、さらにこれら2つの系統の信号を時間順に合成し1つの系統の信号を得る第2のParallel-Serial変換器45と、前記第1のParallel-Serial変換器40によって作られた信号と前記加算器41と減算器42と乗算器43, 44と第

2のParallel-Serial変換器45によって作られた信号を時間順に合成し1つの系統の信号を得る第3のParallel-Serial変換器46と、この第3のParallel-Serial変換器46によって作られた信号の極性を反転する第1の極性反転器47と、第3のParallel-Serial変換器46によって作られた信号と前記第1の極性反転器47によって作られた信号を時間順に合成しディジタル変調信号を得る第4のParallel-Serial変換器48と、前記ディジタル変調信号の極性を反転する第2の極性反転器70と、前記ディジタル変調信号を極性反転した信号をアナログ変調信号に変換するD/A変換器71と、前記アナログ変調信号の折り返し雑音成分を取り出し、不要周波数成分を除去するバンドパスフィルタ72とからディジタル直交変調器を構成し、第2のParallel-Serial変換器45の前段に乗算器43, 44を挿入することによって、基本波成分の周波数は乗算器43, 44の最高処理速度と同じ周波数とすることができる。また、折り返し雑音成分の周波数はサンプリングの定理により基本波成分の7倍となる。したがって、第4実施例では乗算器の最高処理速度の7倍の周波数の変調信号を得ることができるディジタル直交変調器を実現できる。

【0059】従来構成で得ることができる変調波の周波数は乗算器43, 44の最高処理速度の1/8の周波数が限界であったため、第4実施例では従来構成の56倍の周波数の変調信号を得ることができる。

【0060】図8は本発明の第5実施例の構成図であり、この第5実施例が第3実施例と異なるところは、アナログ変調信号の不要周波数成分を除去するローパスフィルタ80と、ローパスフィルタ80によって出力されたアナログ信号を局部発信信号と混合しアップコンバートするアナログミキサー81と、アナログミキサー81によって出力されたアナログ信号を帯域制限するバンドパスフィルタ82とを備えた構成にある。

【0061】なお、図4～図6にて説明した部材、信号等に対応する第5実施例の部材、信号については同一符号を付して、詳しい説明は省略する。

【0062】第5実施例の動作を図8を用いて説明する。同図のアナログ変調信号60を生成するまでは第3実施例と同じであるが、アナログ変調信号60はローパスフィルタ80によって不要周波数成分を除去され、アナログ信号83が得られる。アナログ信号83はアナログミキサー81に入力され、局部発信信号84と混合されてアップコンバートされ、アナログ信号85が得られる。アナログ信号85はバンドパスフィルタ82に入力され、帯域制限されることによって、変調信号86が得られる。

【0063】以上のように第5実施例では、ベースバンドI, Q信号を時間順に合成し1つの系統の信号を得る第1のParallel-Serial変換器40と、ベースバンドI, Q信号を加算する加算器41および減算する減算器42と、これらの信号に対し $1/\sqrt{2}$ の乗算を行う乗算器43, 44

と、さらにこれらの2つの系統の信号を時間順に合成し1つの系統の信号を得る第2のParallel-Serial変換器45と、前記第1のParallel-Serial変換器40によって作られた信号と前記加算器41と減算器42と乗算器43、44と第2のParallel-Serial変換器45によって作られた信号を時間順に合成し1つの系統の信号を得る第3のParallel-Serial変換器46と、この第3のParallel-Serial変換器46によって作られた信号の極性を反転する極性反転器47と、前記第3のParallel-Serial変換器46によって作られた信号と前記極性反転器47によって作られた信号を時間順に合成しデジタル変調波を得る第4のParallel-Serial変換器48と、デジタル変調信号をアナログ変調信号に変換するD/A変換器49と、前記アナログ変調信号から不要周波数成分を除去するローパスフィルタ80と、不要周波数成分を除去したアナログ信号に局部発信信号と混合してアップコンバートするアナログミキサー-81とアナログミキサー-81からのアナログ信号を帯域制限するバンドパスフィルタ82とからディジタル直交変調器を構成し、第2のParallel-Serial変換器45の前段に乗算器43、44を挿入することによって、乗算器の最高処理速度と同じ周波数の変調信号を得ることができるデジタル直交変調器を実現できる。

【0064】また、演算ビット数を削減するにつれて処理速度を上げることができるが、特性劣化が大きくなる。変調器の特性は一般に隣接チャネル漏洩電力と変調精度によって評価される。従来構成のようにベースバンド部においてディジタルフィルタを用いて帯域制限を行った場合、所要演算ビット数の決定においては隣接チャネル漏洩電力が支配的となり、所要演算ビット数は12ビット程度必要となる。しかし、第5実施例では、後段部においてバンドパスフィルタ82を用いて帯域制限を行っているため、D/A変換器49の出力時の隣接チャネル漏洩電力の要求特性は緩和され、所要演算ビット数の決定においては変調精度が支配的となり、所要演算ビット数は8ビット程度に削減でき、さらに高速化を図ることができる。

【0065】現状の12ビットデジタル乗算器の処理速度は15MHz程度であり、従来構成では変調周波数は2MHz程度が限界である。しかし、8ビット乗算器の処理速度は60MHz程度であるため、第5実施例では変調周波数を60MHz程度とすることができます、従来構成の約30倍の変調信号を得ることができる。

【0066】

【発明の効果】以上説明したように、本発明のデジタル直交変調器は、請求項1記載の発明によれば、2つのParallel-Serial変換器と、1つの極性反転器と、D/A変換器と、アナログ変調信号の高次高調波成分を変調信号として取り出すバンドパスフィルタとからデジタル直交変調器を構成し、乗算器を用いずにデジタル直交変調器を実現できるため、基本波の周波数はD/A変

換器の処理速度より低い周波数とすることができます、また高次高調波成分を変調信号として出力することにより、さらに高速化を図ることができる。

【0067】請求項2記載の構成によれば、2つのParallel-Serial変換器と、2つの極性反転器と、D/A変換器と、アナログ変調信号の高次高調波成分を変調信号として取り出すバンドパスフィルタとからデジタル直交変調器を構成し、乗算器を用いずにデジタル直交変調器を実現できるため、D/A変換器の最高処理速度のより低い周波数の変調波を得ることができる。

【0068】請求項3記載の構成によれば、4つのParallel-Serial変換器と、加算器と、減算器と、2つの乗算器と、極性反転器と、D/A変換器と、アナログ変調信号の高次高調波成分を取り出すバンドパスフィルタとによってデジタル直交変調器を構成し、Parallel-Serial変換器の前段に乗算器を挿入することによって、基本波の周波数を乗算器の処理速度と同じ周波数とすることができます、また高次高調波成分を変調信号として出力することにより、さらに高速化を図ることができます。

【0069】請求項4記載の構成によれば、4つのParallel-Serial変換器と、加算器と、減算器と、2つの乗算器と、2つの極性反転器と、D/A変換器と、アナログ変調信号の折り返し雑音成分を取り出すバンドパスフィルタとによってデジタル直交変調器を構成し、Parallel-Serial変換器の前段に乗算器を挿入することによって、乗算器の最高処理速度の数倍の周波数の変調信号を得ることができます。

【0070】請求項5記載の構成によれば、4つのParallel-Serial変換器と、加算器と、減算器と、2つの乗算器と、極性反転器と、D/A変換器と、ローパスフィルタと、アナログミキサーと、バンドパスフィルタとによってデジタル直交変調器を構成し、Parallel-Serial変換器の前段に乗算器を挿入することによって、乗算器の最高処理速度と同じ周波数の変調信号を得ることができます、また後段部においてバンドパスフィルタを用いて帯域制限を行うことにより、所要演算ビット数を削減でき、さらに高速化を図ることができます。

【図面の簡単な説明】

【図1】本発明のデジタル直交変調器の第1実施例の構成図である。

【図2】第1実施例の各信号のタイミングチャートである。

【図3】本発明の第2実施例の構成図である。

【図4】本発明の第3実施例の構成図である。

【図5】第3実施例の各信号のタイミングチャートである。

【図6】第3実施例の各信号のタイミングチャートである。

【図7】本発明の第4実施例の構成図である。

【図8】本発明の第5実施例の構成図である。

19

【図9】従来のデジタル直交変調器の構成図である。

【図10】COS波形信号の説明図である。

【図11】SIN波形信号の説明図である。

【図12】従来のデジタル直交変調器の構成図である。

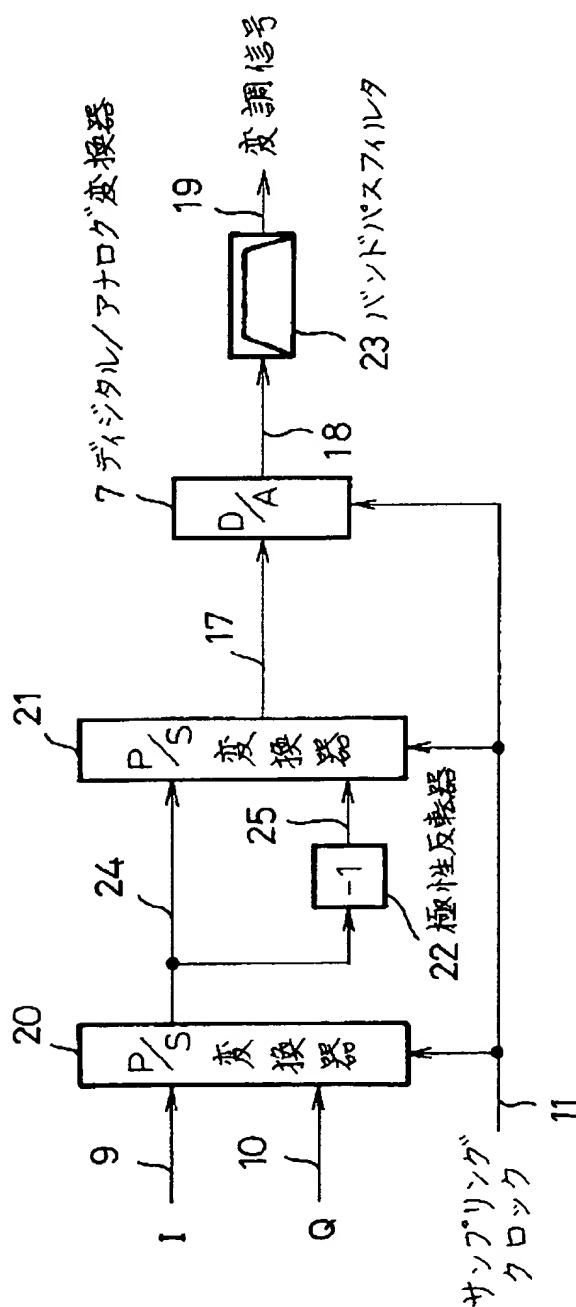
【符号の説明】

7, 31, 49, 71…デジタル／アナログ(D/A)変換

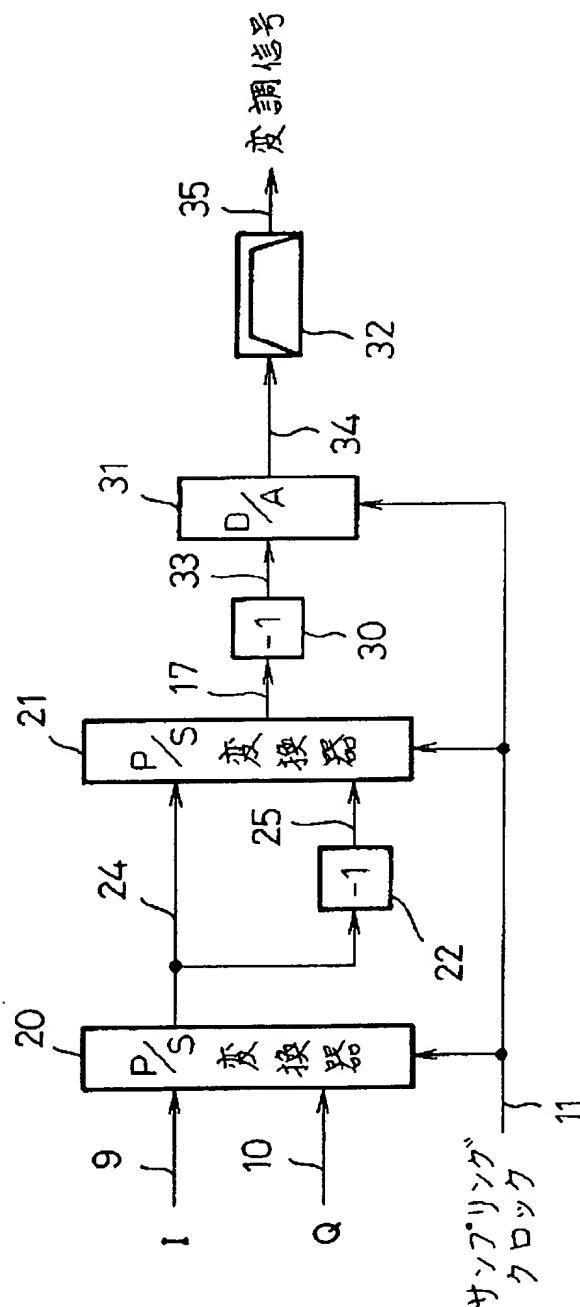
20

器、 9…ベースバンドI信号、 10…ベースバンドQ
信号、 20, 21, 40, 41, 46, 48…パラレルシリアル
変換器、 22, 30, 47, 70…極性反転器、 23, 32, 5
0, 72, 82…バンドパスフィルタ、 41…加算器、 42
…減算器、 43, 44…乗算器、 80…ローパスフィル
タ、 81…アナログミキサー。

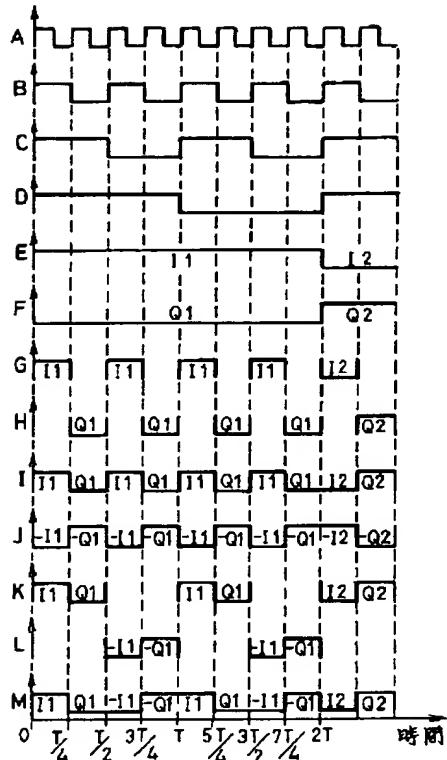
【図1】



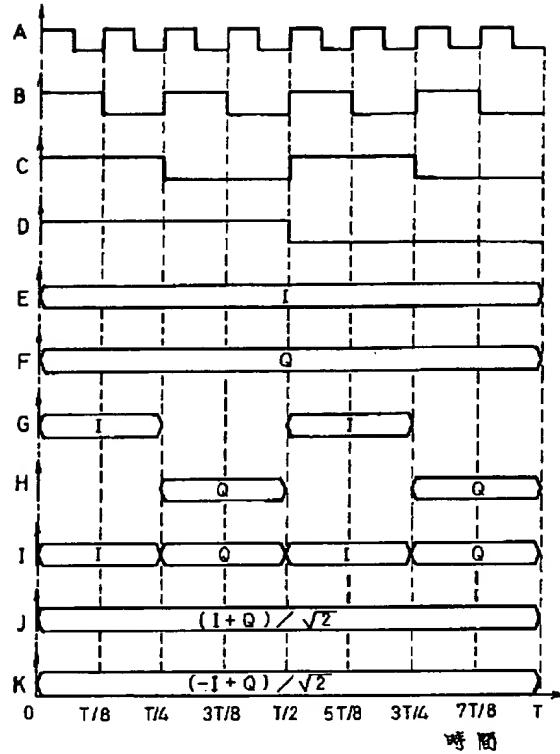
【図3】



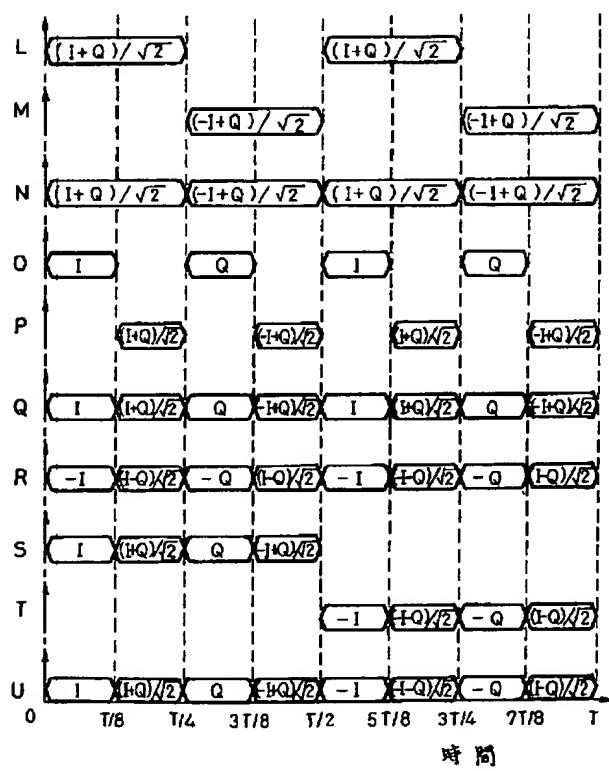
【図2】



【図5】

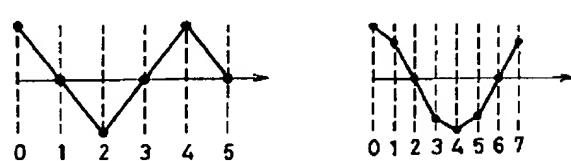


【図6】



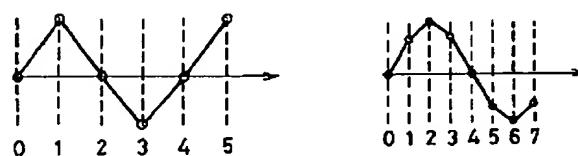
【図10】

(a) (b)



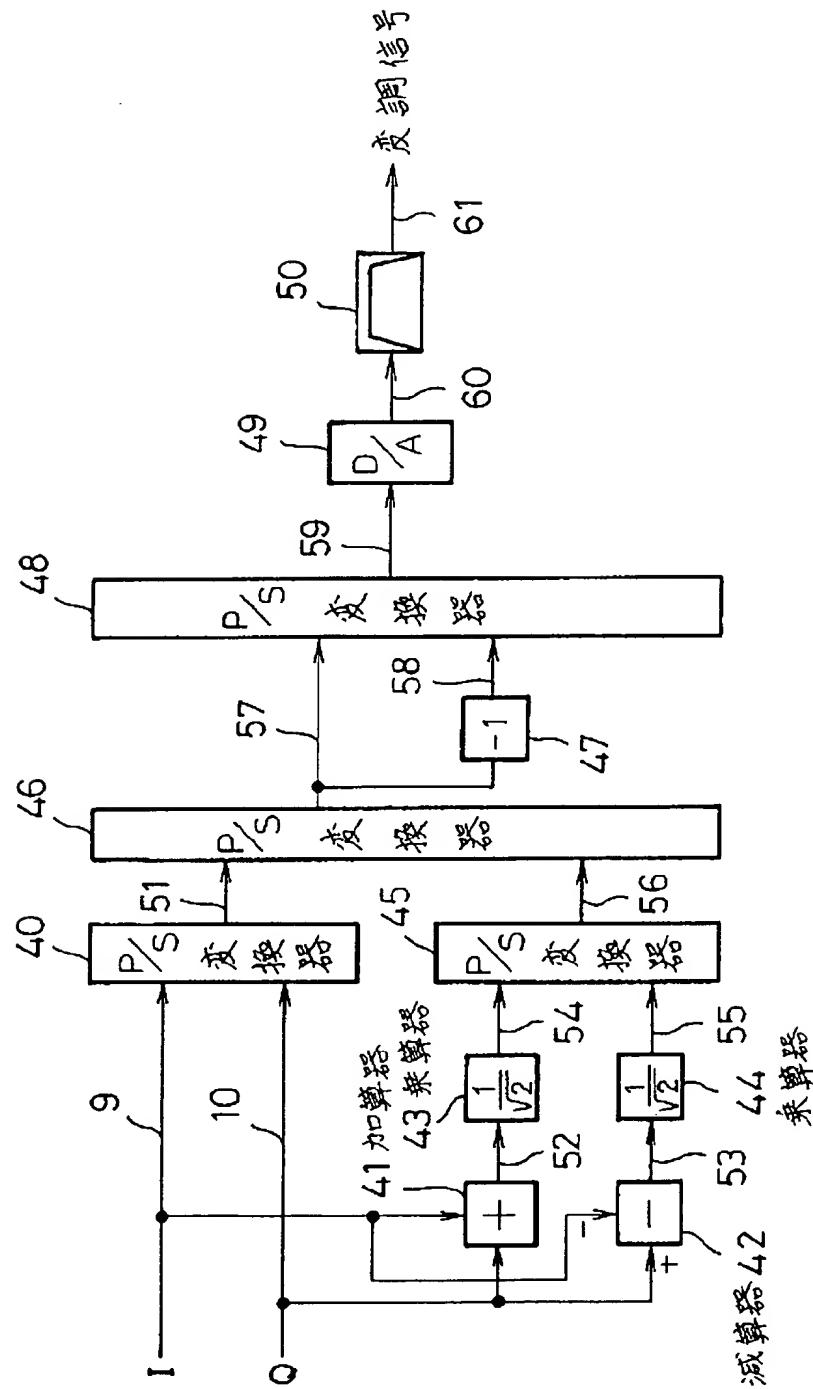
【図11】

(a) (b)

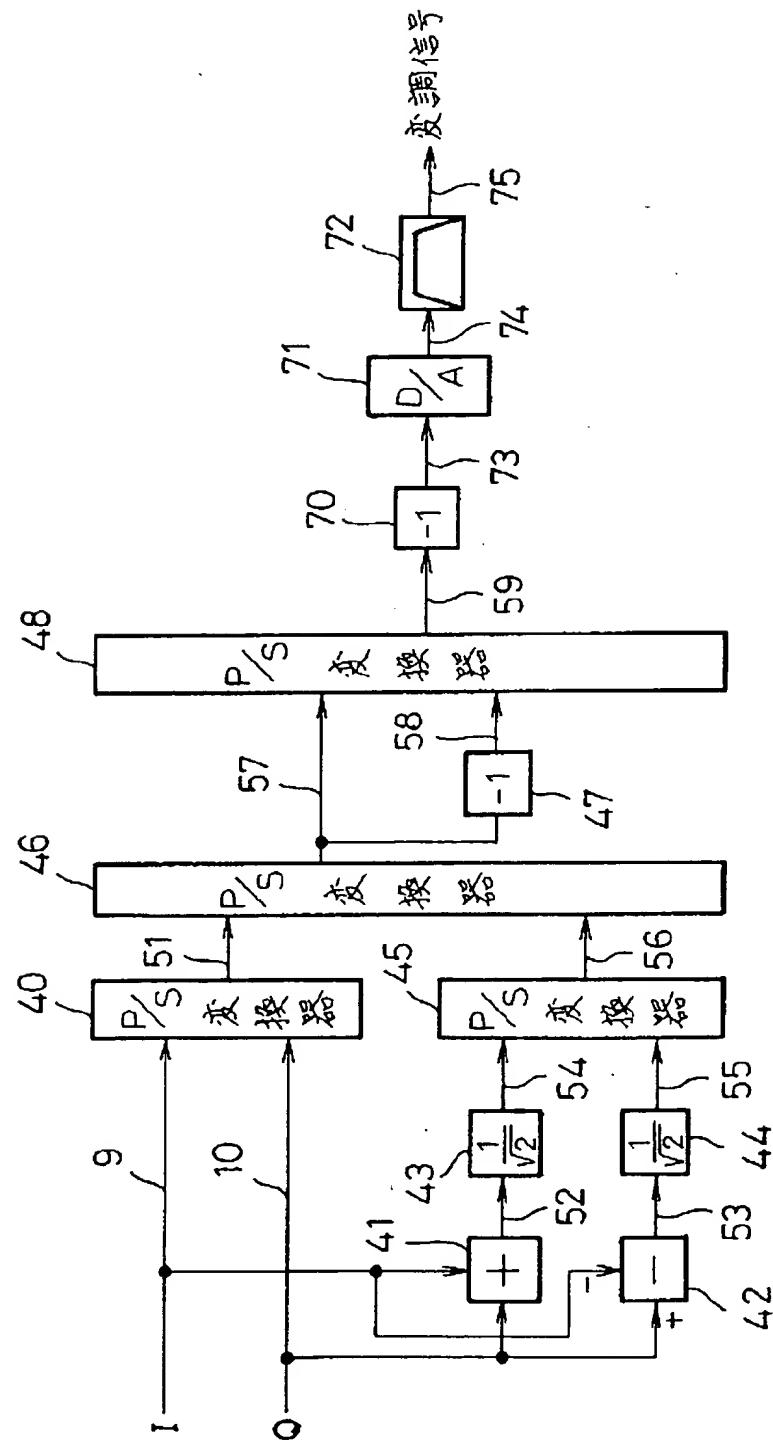


時間

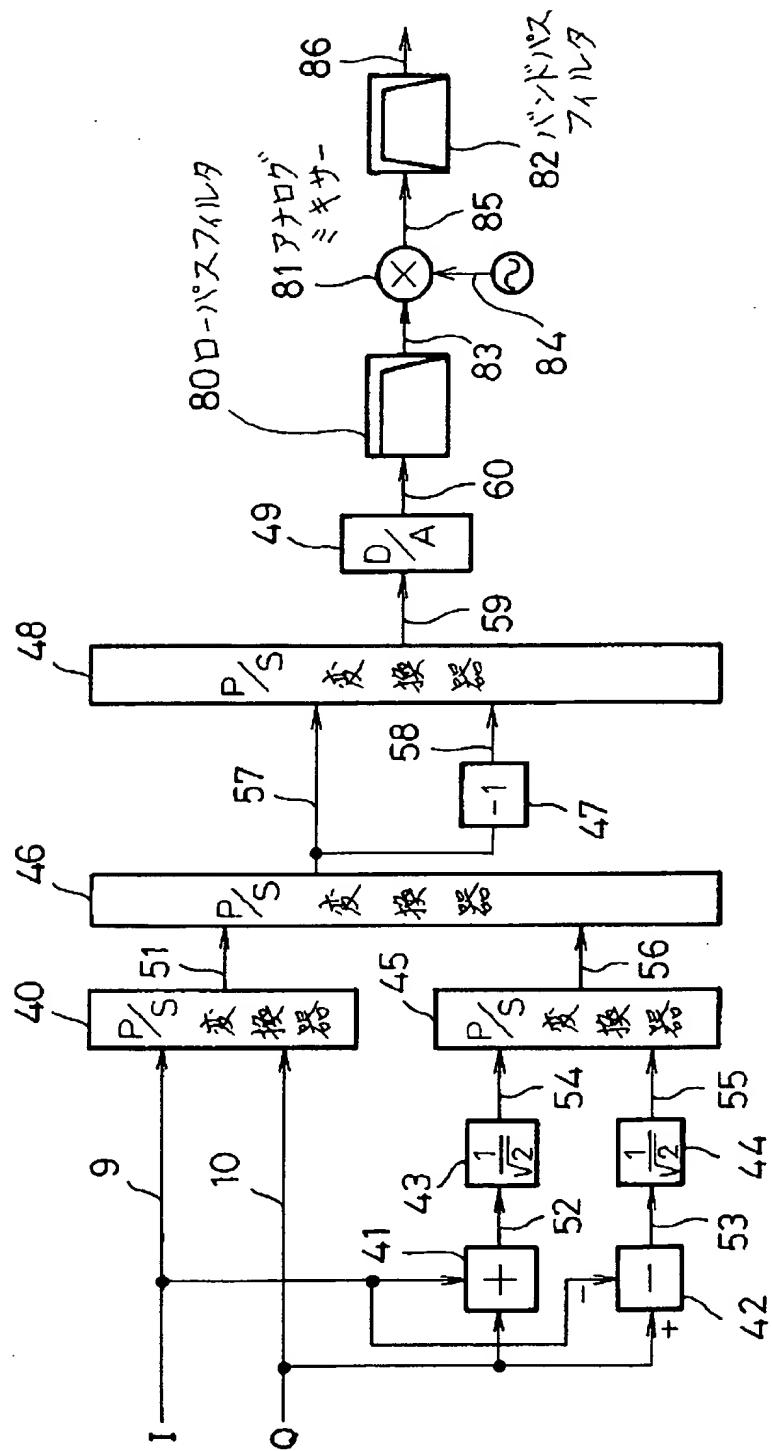
【図4】



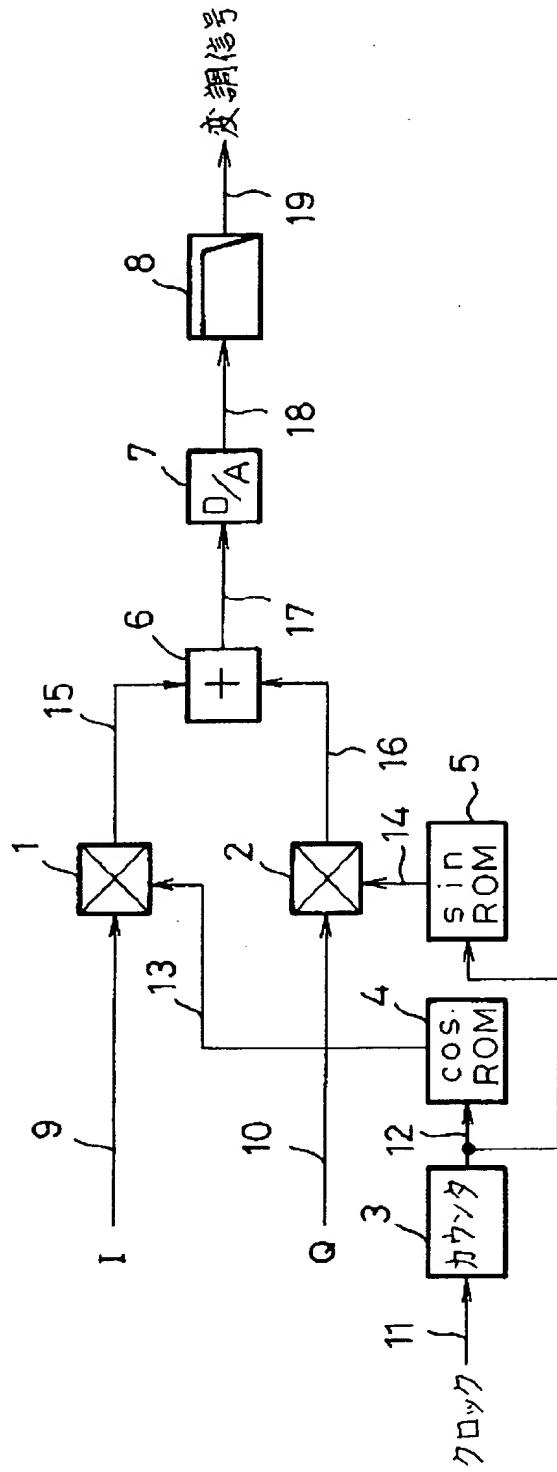
【図7】



【図8】



【図9】



【図12】

